

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 262/009

#2 / Priority
Paper
5/9/02

JC879 U.S. PTO
10/035247
01/04/02

In re patent application of

Sang Hyun YI et al

Serial No.

Filed: January 4, 2002

For: SEMICONDUCTOR DEVICE HAVING NO CRACKS IN ONE OR MORE
LAYERS UNDERLYING A METAL LINE LAYER AND METHOD OF
MANUFACTURING THE SAME

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

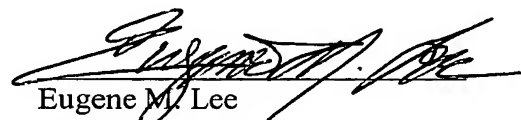
The benefit of the filing date of the following prior foreign application filed in the
following foreign country is hereby requested, and the right of priority provided in 35 U.S.C.
§119 is hereby claimed:

REPUBLIC OF KOREA – Application No. 2001-8480 - Filed 20 February 2001.

In support of this claim, filed herewith is a certified copy of said original foreign
application.

Respectfully submitted,

January 4, 2002
Date


Eugene M. Lee
Reg. No. 32,039

The Law Offices of Eugene M Lee, PLLC
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

JC879 U.S. PRO

10/035247



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 :
Application Number

특허출원 2001년 제 8480 호
PATENT-2001-0008480

출원년월일 :
Date of Application

2001년 02월 20일
FEB 20, 2001

출원인 :
Applicant(s)

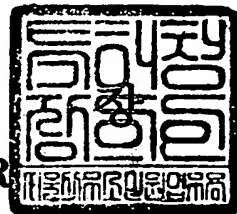
삼성전자 주식회사
SAMSUNG ELECTRONICS CO., LTD.



2001 07 23
년 월 일

특 허 청

COMMISSIONER



【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2001.02.20
【발명의 명칭】 다층배선을 갖는 반도체 장치 및 그의 제조방법
【발명의 영문명칭】 Semiconductor Device having multi layer interconnections and Method for fabricating the Same
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박상수
【대리인코드】 9-1998-000642-5
【포괄위임등록번호】 2000-054081-9
【발명자】
【성명의 국문표기】 이상현
【성명의 영문표기】 YI, SANG HYUN
【주민등록번호】 700921-1119718
【우편번호】 440-320
【주소】 경기도 수원시 장안구 율전동 진덕아파트 204동 302호
【국적】 KR
【발명자】
【성명의 국문표기】 김영남
【성명의 영문표기】 KIM, YOUNG NAM
【주민등록번호】 631026-1345311
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 965-2 신나무실 신원아파트 645-1303
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

1020010008480

2001/7/2

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 12 면 12,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 15 항 589,000 원

【합계】 630,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 이웃하는 일정이상의 크기를 갖는 금속배선의 패턴간의 간격을 일정하게 유지하거나 또는 패턴에 슬릿을 형성하여 금속배선하부의 막의 스트레스를 완화시켜 크랙의 발생을 방지할 수 있는 다층배선구조를 갖는 반도체 장치 및 그의 제조방법에 관한 것이다.

본 발명은 다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서, 상기 다수의 금속배선의 패턴중 $30\mu\text{m} \times 30\mu\text{m}$ 이상의 크기를 갖는 패턴들은 서로 적어도 $1.0\mu\text{m}$ 이상의 간격이 유지되도록 형성되거나, 또는 슬릿을 구비하하는 것을 특징으로 한다. 상기 슬릿은 이웃하는 금속배선의 패턴중 적어도 하나의 패턴에 이웃하는 금속배선의 패턴에 인접한 에지로부터 $4\mu\text{m}$ 만큼 떨어져 $1\mu\text{m}$ 의 폭을 갖도록 금속배선의 패턴에 형성된다.

【대표도】

도 9

【명세서】**【발명의 명칭】**

다층배선을 갖는 반도체 장치 및 그의 제조방법{Semiconductor Device having multi layer interconnections and Method for fabricating the Same}

【도면의 간단한 설명】

도 1은 종래의 다층배선구조를 갖는 반도체 장치의 단면 구조도,

도 2a 및 도 2b는 종래의 다층배선구조를 갖는 반도체 장치에 있어서, 크랙이 발생하는 원인을 설명하기 위한 단면구조도,

도 3a 및 도 3b는 종래의 크랙이 발생한 반도체 장치에 있어서, 금속배선하부의 소자의 파괴를 보여주는 단면 및 평면도,

도 4는 종래의 반도체 장치에 있어서, 금속배선 하부의 절연막이 갖는 스트레스에 의해 발생한 크랙을 나타내는 사진,

도 5a는 반도체 장치에 있어서, 금속배선의 패턴간격에 따른 크랙의 진행상황을 설명하기 위한 사진,

도 5b는 도 5a의 크랙발생영역을 확대한 사진,

도 6는 반도체 장치에 있어서, 금속배선의 패턴간격에 따른 크랙의 진행상황을 설명하기 위한 다른 사진,

도 7은 반도체 장치에 있어서, 금속배선의 패턴크기 및 간격에 따른 크랙의 발생유무를 나타낸 사진,

도 8은 반도체 장치에 있어서, 금속배선의 패턴간격에 따른 크랙발생유무를 나타내는 사진,

도 9는 본 발명의 일실시예에 따른 크랙방지용 금속배선구조를 갖는 반도체 장치의 평면도,

도 10은 본 발명의 일실시예에 따른 크랙방지용 금속배선구조를 갖는 다른 반도체 장치의 평면도,

도 11a는 본 발명의 일실시예에 따른 반도체 장치에 있어서, 금속배선의 패턴간의 간격을 일정이상 유지한 경우에 크랙이 발생되지 않음을 보여주는 사진,

도 11b는 종래의 반도체 장치에 있어서, 이웃하는 금속배선의 패턴간의 간격이 일정이상 유지되지 않은 경우에 발생됨을 보여주는 사진,

도 12은 본 발명의 다른 실시예에 따른 크랙방지용 슬릿을 구비한 다층배선구조의 반도체 장치의 평면도,

도 13는 도 12의 반도체 장치에 있어서, 슬릿의 형성예를 도시한 도면,

도 14은 본 발명의 다른 실시예에 따른 반도체 장치에 있어서, 크랙방지용 슬릿의 형성예를 나타내는 사진,

도면의 주요부분에 대한 부호의 설명

41-43, 51-54, 61, 62, 71, 72 : 금속배선의 패턴

63, 73, 81 : 슬릿

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <20> 본 발명은 다층배선구조를 갖는 반도체 장치에 관한 것으로서, 보다 구체적으로는 금속배선의 하부막질에 크랙이 발생하는 것을 방지할 수 있는 다층배선의 패턴구조 및 그를 형성하는 방법에 관한 것이다.
- <21> 종래에는 다층배선을 갖는 반도체 장치에 있어서 회로적인 측면에서만 금속배선의 패턴의 이상유무를 검출하고, 금속배선의 레이아웃에 따라 금속배선하부의 절연막이 스트레스를 받는 구조에 대해서는 고려하지 않았다. 그 결과 금속배선에 의해 그하부의 절연막이 받는 스트레스가 축적발현되어 하부 절연막의 표면 및 내부에 크랙이 발생된다. 하부 절연막에 발생된 크랙으로 인하여 절연막이 파괴되거나, 심한 경우 절연막 하부의 소자가 파괴되었다.
- <22> 도 1은 종래의 다층배선구조를 갖는 반도체 장치의 단면구조를 도시한 것이다.
- <23> 도 1을 참조하면, 종래의 반도체 장치는 반도체 기판(11)상에 절연막(12), (14)을 사이에 두고 하부소자, 예를 들면 저항체(13)가 형성되고, 상부절연막(14)상에는 배리어 금속(15)을 구비한 금속배선(16)이 형성된 구조를 갖는다.
- <24> 종래의 반도체 장치의 금속배선구조를 보면, 금속배선(16)과 상부절연막(14)사이에 배리어금속(15)이 형성되는데, 금속배선(15)이 형성된 후 후속의 금속열처리공정이 진행되면, 도 2a와 같은 막간의 스트레스구조가 도 2b와 같이 변화된다.
- <25> 막질의 스트레스 변화에 따라서 금속배선하부의 절연막의 스트레스가 축적 발현되

어 절연막(14)에 도 4a 내지 도 4d와 같은 크랙(crack)(17)이 발생하는 문제점이 있었다. 게다가 심한 경우에는 도 3a 및 도 3b와 같이 절연막(14)하부의 소자인 저항체(13)가 상기 절연막에 발생한 크랙으로 인하여 파괴되고, 이에 따라 제품불량 및 신뢰성이 저하되는 문제점이 있었다.

<26> 도 3a 및 도 3b는 종래의 반도체장치에 있어서, 상기 설명한 바와같이 절연막 하부의 소자, 예를 들면 저항체(13)에 발생한 크랙의 단면 구조 및 평면 구조를 도시한 것이다.

<27> 스트레스에 의한 하부막질의 크랙발생을 방지하기 위한 기술이 일본공개특허 평 10-84059호에 개시되었는데, 세라믹 기판상에 형성된 금속판의 외곽부에 구 또는 공을 형성하여 크랙의 발생을 방지하였다. 미국특허 제5,229,642호에는 몰드패키지시 스트레스에 의해 가아드링상의 보호막(passivation film)에 크랙이 발생하는 것을 방지하기 위하여 가아드링에 슬릿을 형성하는 기술이 개시되었다.

<28> 그러나, 상기한 바와같은 종래의 크랙발생을 방지하기 위한 기술은 단순히 금속판의 스트레스에 의한 세라믹기판의 크랙발생을 방지하기 위한 기술 및 몰드 패키지시 보호막에 크랙이 발생하는 것을 방지하기 위한 기술로서, 이웃하는 금속배선의 패턴간의 간격이나 크기를 고려하여 금속배선 하부의 막질에 크랙이 발생하는 것을 제한하는 기술은 제시하지 못하였다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 금속배선의 하부절연막에 크랙이 발생하는 것을 방지할 수 있는 반도체 장치의 금속배선구조 및 그를 형성하는 방법을 제공하는 데 그 목적이 있다.

<30> 본 발명은 금속배선에 의해 하부절연막이 받는 스트레스를 완화시켜 크랙의 발생을 방지하고, 신뢰성 및 수율을 향상시킬 수 있는 반도체 장치의 금속배선구조 및 그를 형성하는 방법을 제공하는 데 그 목적이 있다.

<31> 본 발명은 일정이상의 크기를 갖는 금속배선의 패턴간에 일정이상의 간격을 유지함으로써 금속배선 하부의 절연막에 크랙이 발생하는 것을 방지하는 반도체 장치의 금속배선구조 및 그를 형성하는 방법을 제공하는 데 그 목적이 있다.

<32> 본 발명의 다른 목적은 일정이상의 크기를 갖는 금속배선의 패턴에 슬릿을 형성하여 금속배선 하부의 절연막에 크랙이 발생하는 것을 방지하는 반도체 장치의 금속배선구조 및 그를 형성하는 방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<33> 이와 같은 목적을 달성하기 위한 본 발명은 다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서, 상기 다수의 금속배선의 패턴중 일정이상의 크기를 갖는 패턴은 서로 일정간격이상이 유지되도록 형성되는 반도체 장치를 제공하는 것을 특징으로 한다.

<34> 또한, 본 발명은 절연막상에 형성된 다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서, 상기 다수의 금속배선의 패턴중 $30\mu\text{m} \times 30\mu\text{m}$ 이상의 크기를 갖는 패턴들은 상기 금속배선의 스트레스에 의해 상기 절연막에 크랙이 발생하는 것을 방지하기 위하여, 서로 적어도 $1.0\mu\text{m}$ 이상의 간격이 유지되도록 형성되는 반도체 장치를 제공하는 것을 특징으로 한다.

<35> 또한, 본 발명은 다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서, 상기 다수의 금속배선의 패턴중 서로 이웃하는 일정이상의 크기를 갖는 패턴들은 슬릿을 구비하

는 반도체 장치를 제공하는 것을 특징으로 한다.

<36> 또한, 본 발명은 다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서, 상기 다수의 금속배선의 패턴중 서로 이웃하는 일정이상의 크기를 갖는 패턴들은 슬릿을 구비하며, 상기 슬릿은 이웃하는 금속배선의 패턴중 적어도 하나의 패턴에 나머지 패턴과 인접한 에지로부터 일정거리만큼 떨어져 형성되는 반도체 장치를 제공하는 것을 특징으로 한다.

<37> 상기 슬릿은 이웃하는 금속배선의 패턴에 인접한 에지로부터 $4\mu\text{m}$ 만큼 떨어져 $1\mu\text{m}$ 의 폭을 갖도록 금속배선의 패턴에 형성된다.

<38> 또한, y절연막상에 형성된 다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서, 상기 다수의 금속배선의 패턴중 서로 이웃하는 일정이상의 크기를 갖는 패턴들은 상기 금속배선의 스트레스에 의해 상기 절연막에 크랙이 발생하는 것을 방지하기 위하여, 서로 이웃하는 패턴중 하나에 슬릿을 구비하는 반도체 장치를 제공하는 것을 특징으로 한다.

<39> 또한, 본 발명은 다수의 금속배선의 패턴을 구비한 반도체 장치를 제조하는 방법에 있어서, 반도체 기판상에 절연막을 형성하는 단계와; 상기 절연막상에 금속막을 형성하는 단계와; 상기 금속막을 패터닝하여 상기 다수의 금속배선의 패턴중 일정이상의 크기를 갖는 패턴들은 일정이상의 간격이 유지되도록 형성하는 단계를 포함하는 반도체 장치의 제조방법을 제공하는 것을 특징으로 한다.

<40> 또한, 본 발명은 다수의 금속배선의 패턴을 구비한 반도체 장치를 제조하는 방법에 있어서, 반도체 기판상에 절연막을 형성하는 단계와; 상기 절연막상에 금속

막을 형성하는 단계와; 상기 금속막을 패터닝하여 상기 다수의 금속배선의 패턴중 일정 이상의 크기를 갖는 이웃하는 패턴들에 슬릿을 형성하는 단계를 포함하는 반도체 장치를 제공하는 것을 특징으로 한다.

<41> 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 일 실시예를 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.

<42> 도 9는 본 발명의 일실시예에 따른 크랙을 방지할 수 있는 금속배선의 패턴구조를 갖는 반도체 장치의 평면구조를 도시한 것이다.

<43> 본 발명의 일실시예에 따른 반도체 장치는 서로 이웃하는 일정이상의 크기를 갖는 금속배선의 패턴간의 간격을 일정이상 유지시켜 줌으로써, 금속배선에 의해 하부 절연막이 받는 스트레스를 완화시켜 하부 절연막에 크랙이 발생하는 것을 방지하는 것이다.

<44> 도 9를 참조하면, 본 발명의 일실시예에 따른 반도체 장치는 $30\mu\text{m} \times 30\mu\text{m}$ 이상의 크기를 갖는 금속배선의 패턴(41-43)간에 일정간격(d11), (d12)이 유지되도록 금속배선을 형성하여 준다.

<45> 도 9에 도시된 반도체 장치의 단면 구조는, 도 1에서와 같이 금속배선하부에 상하부 절연막을 사이에 두고 저항체와 같은 하부소자가 형성된 구조를 갖거나 또는 금속배선 하부에 절연막이 형성된 다른 다층배선구조를 갖을 수도 있다.

<46> 본 발명의 일실시예에 따르면, 일정이상의 크기, 예를 들면 $30\mu\text{m} \times 30\mu\text{m}$ 이상의 크기를 갖는 금속배선의 패턴(41-43)이 서로 이웃하게 배열되는 경우에는, 금속배선의 스트레스에 의한 하부 절연막에 크랙이 발생하는 것을 방지하기 위하여 서로 이웃하는 패턴(41-43)간에는 $1.0 - 1.5\mu\text{m}$ 이상의 간격(d11, d12)을 유지하도록 한다.

<47> 도 8는 반도체 장치에 있어서, 큰 크기, 예를 들면 $30\mu\text{m} \times 30\mu\text{m}$ 의 크기를 갖는 금속 배선의 패턴이 서로 이웃하게 배열되는 경우 패턴간의 간격에 따른 크랙의 발생유무를 보여주는 사진이다. 도 8에서 금속배선의 패턴(51), (52)사이의 검은 부분이 패턴(51), (52)간의 공간(간격)을 나타낸다.

<48> 도 8를 참조하면, $30\mu\text{m} \times 30\mu\text{m}$ 이상의 크기를 갖는 금속배선의 패턴(51), (52)이 서로 이웃하게 배열되는 경우, 패턴(51), (52)사이의 간격이 일정이상을 유지하는 경우, 예를 들어 $d_{51}=1.31\mu\text{m}$ 인 경우에는 금속배선에 의해 하부 절연막이 받는 스트레스가 완화되어 크랙이 발생하지 않는다.

<49> 하지만, 패턴(51), (52)간의 간격이 일정이상을 유지하지 않는 경우, 예를 들어 $d_{52}=0.75\mu\text{m}$ 인 경우에는 금속배선에 의한 스트레스에 의해 하부 절연막에 도 4a 내지 도 4d에서와 같은 형태의 크랙이 발생됨을 알 수 있다.

<50> 본 발명의 일실시예에 따른 반도체 장치의 금속배선구조에서는, 일정크기를 갖는 금속배선의 패턴, 예를 들면 $30\mu\text{m} \times 30\mu\text{m}$ 이상의 크기를 갖는 금속배선의 패턴이 서로 이웃하는 경우 크랙의 발생을 방지하기 위하여 패턴간에 $1.0\mu\text{m}$ 이상의 간격을 유지한다. 이때, 스트레스를 많이 받는 금속배선구조나 공정변수 등을 고려하면 바람직하게는 $30\mu\text{m} \times 30\mu\text{m}$ 이상의 크기를 갖는 금속배선의 패턴간의 간격을 $1.5\mu\text{m}$ 이상 유지하는 것이 바람직하다.

<51> 본 발명의 일실시예에 따른 반도체 장치의 금속배선구조에 있어서, 일정이상의 크기를 갖는 금속배선의 패턴간격을 유지하여 크랙을 방지하는데, 이를 위하여 별도의 마스크공정이 요구되지 않는다. 즉, 금속배선을 패터닝할 때 상기 설명한 바와같이 일정이상의 간격, 예를 들면 $1.0\mu\text{m}$ 이상의 간격이 유지되도록 패터닝하여 크랙을 방지한다.

- <52> 도 5a는 다층배선구조의 반도체 장치에 있어서, 금속배선의 패턴크기에 따른 크랙의 진행상황을 보여주는 사진이고, 도 5b는 도 5a의 크랙발생영역을 확대한 사진이다.
- <53> 도 5a 및 도 5b를 참조하면, 참조번호 33, 34, 35 및 36은 금속배선의 패턴을 나타내며, 이들사이의 검은 선은 금속배선의 패턴간의 간격을 나타낸다. 금속배선의 패턴(36)에 이웃한 밀집된 스트라이프 패턴도 모두 금속배선의 패턴으로서 이들사이의 검은 선도 금속배선의 패턴간의 간격을 나타낸다.
- <54> 도 5a 및 도 5b를 참조하면, 금속배선의 패턴(36)이 형성된 부분에서는 $30\mu\text{m} \times 30\mu\text{m}$ 이하의 스트라이프형태의 작은 패턴들이 형성되어 있으므로, 큰 패턴의 금속배선보다 하부 절연막에 미치는 영향은 감소하게 된다. 그러므로, 작은 금속배선의 패턴간의 간격이 일정이하로 유지된다고 하더라도 금속배선의 스트레스에 의한 크랙은 발생되지 않는다. 그러나, 커다란 패턴(33), (35)이 형성된 부분(31)에서는 일정간격을 유지하지 않는 경우 크랙이 발생됨을 알 수 있다.
- <55> 즉, 일정크기이상, 예를 들면 $30\mu\text{m} \times 30\mu\text{m}$ 이상의 금속배선의 패턴(33), (35)이 이웃하는 부분, 즉 크랙발생영역(31)에서 크랙이 발생하여 도 5b에서와 같이 화살표방향으로 진행하는데, 크랙이 크랙정지영역(32), 즉 금속배선의 패턴(35)중 $1.34\mu\text{m}$ 의 크기를 갖는 부분(35a)이 존재하는 위치(P1)에서 멈춤을 알 수 있다.
- <56> 따라서, 서로 이웃하는 금속배선의 패턴간의 간격이 일정하더라도 서로 이웃하는 패턴의 크기가 작은 경우에는 크랙이 발생되지 않는다. 게다가, 일정크기 이상의 금속배선의 패턴이 이웃하여 크랙이 발생하는 경우라하더라도 크랙 진행방향으로 완충역할을 하는 작은 크기의 금속배선의 패턴이 존재하거나 일정이상의 간격이 유지되는 경우에는 커다란 크기의 금속배선의 패턴에서 발생한 크랙의 진행이 멈추는 것을 알 수 있다.

- <57> 도 6은 반도체 장치에 있어서, 금속배선의 패턴크기 및 패턴간격에 따른 크랙진행 상황을 도시한 사진으로서, A 영역에서는 큰 패턴이 이웃하지만 일정이상의 간격, 즉 $1.43\mu\text{m}$ 이상의 간격이 패턴간에 유지되므로, 크랙이 발생되지 않는다. 패턴간의 간격이 $0.8\mu\text{m}$ 로 좁아지는 B영역에서 크랙이 발생하여 $1.43\mu\text{m}$ 이상의 간격을 유지하는 C영역에서 크랙이 멈추지 않고 금속배선의 패턴이 $1.4\mu\text{m}$ 로 작아지는 D영역의 위치(P2)에서 멈춤을 알 수 있다.
- <58> 도 7은 반도체 장치에 있어서, 금속배선의 패턴크기 및 패턴간격에 따른 크랙발생 유무를 나타내는 사진으로서, A영역과 B영역에서 패턴사이의 간격이 모두 $0.7\mu\text{m}$ 이다. 도 7을 참조하면, B영역은 크기가 작은 패턴이 서로 이웃하여 배열되는 영역으로서 크랙이 발생되지 않지만, A영역은 $37\mu\text{m}$ 와 $18\mu\text{m}$ 의 폭을 갖는 패턴이 위치해 있는 영역으로서 크랙이 발생됨을 알 수 있다.
- <59> 상기에서 설명한 바와같이, 본 발명의 일실시예에서와 같이 $30\mu\text{m} \times 30\mu\text{m}$ 이상의 크기를 갖는 금속배선의 패턴이 서로 이웃하게 배열되는 경우, 이들 패턴간의 간격을 $1.0\mu\text{m}$ 이상, 바람직하게는 $1.5\mu\text{m}$ 이상을 유지하게 되면, 금속배선의 스트레스에 의한 하부절연막의 크랙의 발생을 방지할 수 있다.
- <60> 도 10은 본 발명의 일실시예에 따른 또다른 다층배선구조를 갖는 반도체 장치의 평면구조를 도시한 것이다.
- <61> 도 10을 참조하면, 본 발명의 반도체 장치의 다층배선구조는 도 9에서와 같이 $30\mu\text{m} \times 30\mu\text{m}$ 이상의 크기를 갖는 금속배선의 패턴이 서로 이웃하여 배열되어 있으며, 다수의 금속배선의 패턴중 배선(51), (52)이 꺾이지 않고 곧게 형성되고, 패턴(53), (54)이 꺾여져 형성된다.

- <62> 상기한 바와같은 패턴을 갖는 경우, 격이지 않고 곧은 형태로 서로 이웃하는 패턴 (51), (52)에서는 패턴간에 $1.0\mu\text{m}$ 이상의 간격(d21)을 유지하여 크랙의 발생을 방지하고, 격이는 곳이 다수 존재하여 서로 이웃하는 패턴(53), (54)에서는 패턴간에 $1.5\mu\text{m}$ 의 간격(d22)을 유지하여 크랙의 발생을 방지한다.
- <63> 따라서, $30\mu\text{m}\times 30\mu\text{m}$ 이상의 크기를 갖는 서로 이웃하는 금속배선의 패턴은 $1.0\mu\text{m}$ 이상의 간격을 유지하여 크랙의 발생을 방지하지만, 패턴(53), (54)와 같이 스트레스를 많이 받는 금속배선구조나 공정변수 등을 고려하면 바람직하게는 $1.5\mu\text{m}$ 이상의 간격을 유지하는 것이 바람직하다.
- <64> 도 11a 는 본 발명에서와 같이 서로 이웃하는 큰 크기의 패턴간의 간격을 $1.5\mu\text{m}$ 이상유지하는 경우 크랙이 발생되지 않음을 보여주는 사진이고, 도 11b는 종래와 같이 서로 이웃하는 큰 크기의 패턴간의 간격을 $1.0\mu\text{m}$ 이하로 유지하는 경우 크랙의 발생을 보여주는 사진이다.
- <65> 도12는 본 발명의 다른 실시예에 따른 다층배선구조를 갖는 반도체장치의 평면구조를 도시한 것이다.
- <66> 본 발명의 다른 실시예에 따른 다층배선구조를 갖는 반도체 장치에서는, 일정이상의 크기, 예를 들면 $30\mu\text{m}\times 30\mu\text{m}$ 이상의 크기를 갖는 금속배선의 패턴에 스트레스를 완화시켜주기 위한 슬릿을 형성하는 것이다.
- <67> 도 12를 참조하면, 일정이상의 크기, 예를 들면 $30\mu\text{m}\times 30\mu\text{m}$ 이상의 크기를 갖는 금속 배선의 패턴(61), (62)이 이웃하는 경우, 이웃한 금속배선의 패턴(61), (62)중 적어도 하나, 예를 들면 패턴(61)에 일정크기를 갖는 슬릿(63)을 형성한다. 상기 슬릿(63)은 적

어도 $1\mu\text{m}$ 이상의 폭(d32)을 갖으며, 이웃하는 패턴에 인접한 에지로부터 $4\mu\text{m}$ 의 거리(d31)에 슬릿을 형성하는 것이 바람직하다.

<68> 또한, 금속배선의 패턴(71), (72)이 꺾여져 형성된 경우에도 이웃하는 패턴에 인접한 에지로부터 $4\mu\text{m}$ 만큼 떨어져 $1.0\mu\text{m}$ 의 폭을 갖는 슬릿(73)을 형성하여 스트레스 완충효과를 얻어 크랙의 발생을 방지할 수 있다.

<69> 이때, 꺾여진 부분이 다수 존재하는 금속배선의 패턴(71), (72)의 경우에는 꺾여진 부분마다 이웃하는 패턴에 인접한 에지로부터 $4\mu\text{m}$ 만큼 떨어져 슬릿을 형성한다.

<70> 본 발명의 다른 실시예에 따른 반도체 장치의 금속배선구조에 있어서, 일정이상의 크기를 갖는 금속배선의 패턴에 슬릿을 형성하여 크랙을 방지하는데, 이를 위하여 별도의 마스크공정이 요구되지 않는다. 즉, 금속배선을 패터닝할 때 상기 설명한 바와같이 일정이상의 폭을 갖는 슬릿을 갖도록 금속배선을 패터닝한다.

<71> 도 13는 도 12와 같은 반도체 장치에 있어서, 금속배선의 패턴(61), (62)에 슬릿(63)을 형성한 예를 도시한 것이다. 금속배선의 패턴에 형성되는 슬릿(63)을 이웃하는 패턴에 인접한 에지로부터 $4\mu\text{m}$ 이상 떨어져 형성하는 경우에는 금속배선에 의한 스트레스의 완화시켜주지 못하게 된다. 또한, 이웃하는 패턴에 인접한 에지로부터 $4\mu\text{m}$ 이상 떨어져 다수의 슬릿을 형성하는 경우에도 스트레스에 의한 크랙의 발생을 방지할 수 없다. 그러므로, 서로 이웃하는 2개의 패턴중 적어도 하나의 패턴에 나머지 다른 하나의 패턴에 인접한 에지로부터 $4\mu\text{m}$ 의 거리에 슬릿을 형성하여야 한다. 이때, 서로 이웃하는 패턴 모두에 이웃하는 패턴에 인접한 에지로부터 $4\mu\text{m}$ 의 거리에 슬릿을 형성하는 것도 가능하다.

<72> 또한, 꺾여진 형태의 금속배선의 패턴(71), (72)에 슬릿(73)을 형성하는 경우에도, 꺾여진 금속배선의 패턴(71), (72)에 형성되는 슬릿(73)을 이웃하는 패턴에 인접한 에지로부터 $4\mu\text{m}$ 이상 떨어져 형성하면 금속배선에 의한 스트레스의 완화시켜주지 못하게 된다. 그러므로, 도 12에서와 마찬가지로 서로 이웃하는 패턴 모두에 슬릿을 형성하는 것도 가능하며, 서로 이웃하는 패턴에 인접한 에지로부터 $4\mu\text{m}$ 의 거리에 슬릿을 형성하여야 한다.

<73> 도 14는 본 발명의 다른 실시예에 따른 반도체 장치에 있어서, 크랙방지용 슬릿의 형성예를 나타내는 사진이다. 도 14에서 화살표로 표시된 검은 선은 본 발명의 크랙방지용 슬릿을 나타낸다.

<74> 본 발명의 다른 실시예에 따라 금속배선에 슬릿을 형성하는 방법은 공간의 확보가 제일 중요하고, 디자인상 제한이 있어 패턴간의 간격을 $1.0\mu\text{m}$ 이상 유지하기 힘든 경우에 유리하다. 그러므로, 일정크기를 갖는 금속배선의 패턴간의 간격을 유지하기 힘든 경우에는 패턴에 슬릿을 형성하여 줌으로써 크랙의 발생을 효과적으로 방지할 수 있다.

【발명의 효과】

<75> 상기한 바와같은 다층배선구조를 갖는 반도체 장치에 있어서, 일정이상의 크기를 갖는 금속배선의 패턴이 이웃하는 곳에서는 이들 패턴간의 간격을 일정이상으로 유지하거나 또는 패턴에 슬릿을 형성하여 줌으로써, 금속배선과 그 하부의 막간의 스트레스를 완충시켜 줌으로써 크랙의 발생을 방지할 수 있다.

<76> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터

벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서,

상기 다수의 금속배선의 패턴중 일정이상의 크기를 갖는 패턴은 서로 일정간격이상 이 유지되도록 형성되는 것을 특징으로 하는 반도체 장치.

【청구항 2】

제 1 항에 있어서, 상기 일정이상의 크기를 갖는 금속배선의 패턴들은 적어도 1.0 μm 이상의 간격이 유지되도록 형성하는 것을 특징으로 하는 반도체 장치.

【청구항 3】

제 2 항에 있어서, 상기 금속배선의 패턴은 30 μm x30 μm 이상의 크기를 갖는 것을 특징으로 하는 반도체 장치.

【청구항 4】

절연막상에 형성된 다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서,

상기 다수의 금속배선의 패턴중 일정이상의 크기를 갖는 패턴들은 상기 금속배선의 스트레스에 의해 상기 절연막에 크랙이 발생하는 것을 방지하기 위하여, 서로 적어도 1.0 μm 이상의 간격이 유지되도록 형성되는 것을 특징으로 하는 반도체 장치.

【청구항 5】

다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서,

상기 다수의 금속배선의 패턴중 서로 이웃하는 일정이상의 크기를 갖는 패턴들은 슬릿을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 6】

제 5 항에 있어서, 상기 슬릿은 적어도 $1.0\mu\text{m}$ 이상의 폭을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 7】

제 6 항에 있어서, 상기 슬릿은 이웃하는 금속배선의 패턴에 인접한 에지로부터 일정거리만큼 떨어져 형성되는 것을 특징으로 하는 반도체 장치.

【청구항 8】

제7항에 있어서, 상기 슬릿은 서로 이웃하는 금속배선의 패턴중 적어도 하나의 패턴에 나머지 패턴과 인접한 에지로부터 $4\mu\text{m}$ 만큼 떨어져 형성되는 것을 특징으로 하는 반도체 장치.

【청구항 9】

제7항에 있어서, 상기 슬릿은 서로 이웃하는 모든 금속배선의 패턴에 이웃하는 패턴과 인접한 에지로부터 $4\mu\text{m}$ 만큼 떨어져 형성되는 것을 특징으로 하는 반도체 장치.

【청구항 10】

다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서,

상기 다수의 금속배선의 패턴중 서로 이웃하는 일정이상의 크기를 갖는 패턴들은 슬릿을 구비하며, 상기 슬릿은 이웃하는 금속배선의 패턴중 적어도 하나의 패턴에 나머지 패턴과 인접한 에지로부터 일정거리만큼 떨어져 형성되는 것을 특징으로 하는 반도체 장치.

【청구항 11】

제10항에 있어서, 상기 슬릿은 이웃하는 패턴과 인접한 에지로부터 $4\mu\text{m}$ 만큼 떨어져 형성되는 것을 특징으로 하는 반도체 장치.

【청구항 12】

제11항에 있어서, 상기 슬릿은 $1\mu\text{m}$ 의 폭을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 13】

절연막상에 형성된 다수의 금속배선의 패턴을 구비한 반도체 장치에 있어서,
상기 다수의 금속배선의 패턴중 서로 이웃하는 일정이상의 크기를 갖는 패턴들은
상기 금속배선의 스트레스에 의해 상기 절연막에 크랙이 발생하는 것을 방지하기 위하여,
서로 이웃하는 패턴중 하나에 슬릿을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 14】

다수의 금속배선의 패턴을 구비한 반도체 장치를 제조하는 방법에 있어서,
반도체 기판상에 절연막을 형성하는 단계와;
상기 절연막상에 금속막을 형성하는 단계와;
상기 금속막을 패터닝하여 다수의 금속배선의 패턴을 형성함과 동시에 상기 다수의
금속배선의 패턴중 일정이상의 크기를 갖는 패턴들은 일정이상의 간격이 유지되도록 형
성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 15】

다수의 금속배선의 패턴을 구비한 반도체 장치를 제조하는 방법에 있어서,

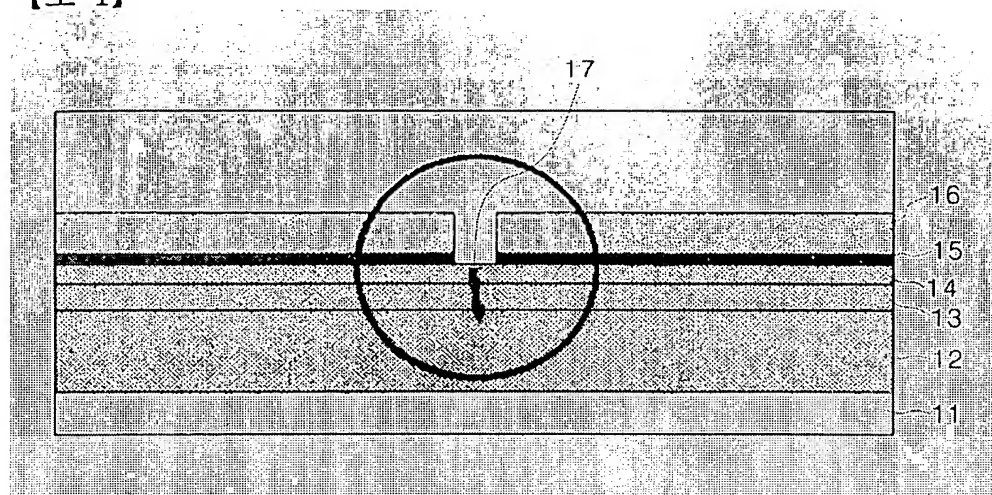
반도체 기판상에 절연막을 형성하는 단계와;

상기 절연막상에 금속막을 형성하는 단계와;

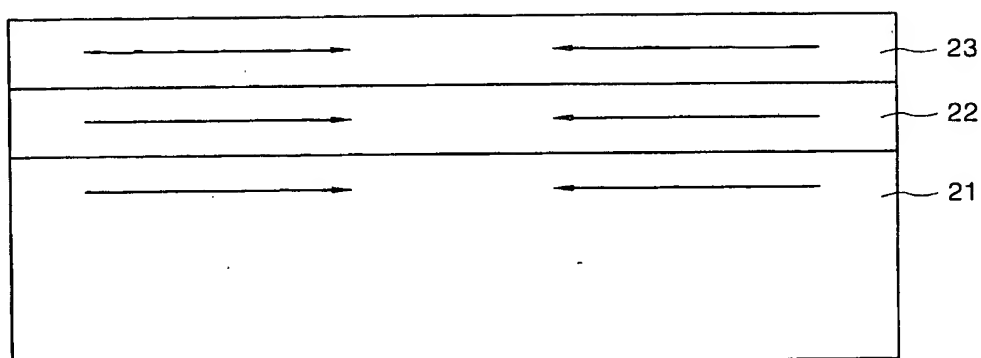
상기 금속막을 패터닝하여 다수의 금속배선의 패턴을 형성함과 동시에 상기 다수의 금속배선의 패턴중 일정이상의 크기를 갖는 이웃하는 패턴들에 슬릿을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치.

【도면】

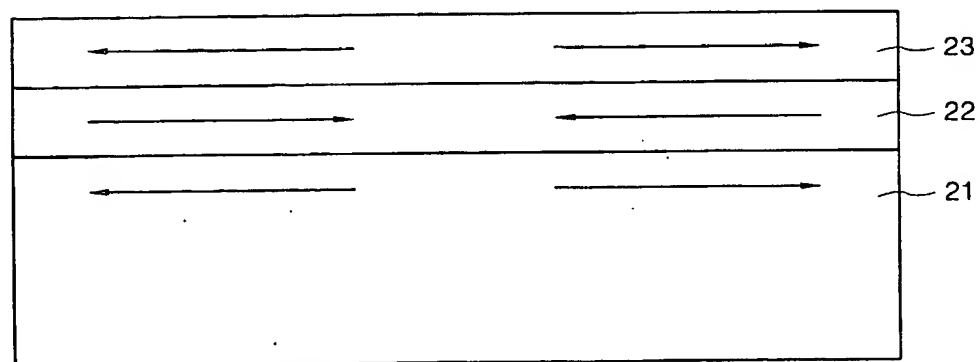
【도 1】



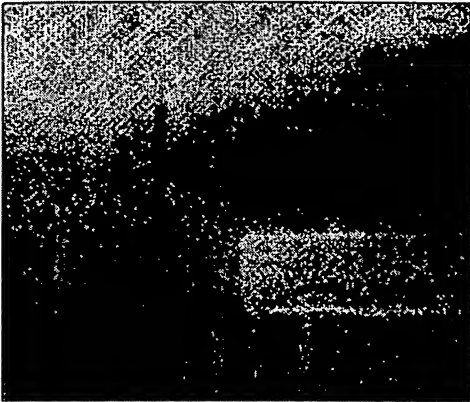
【도 2a】



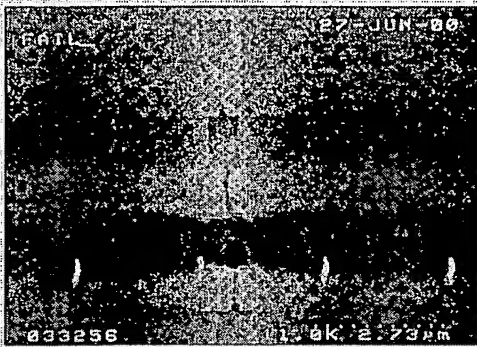
【도 2b】



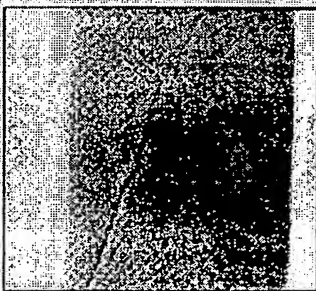
【도 3a】



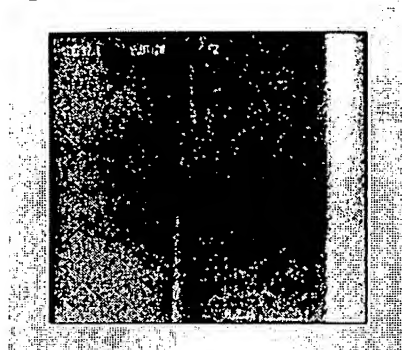
【도 3b】



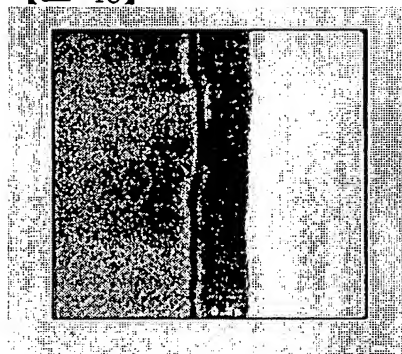
【도 4a】



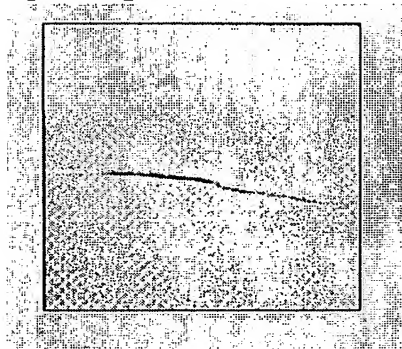
【도 4b】



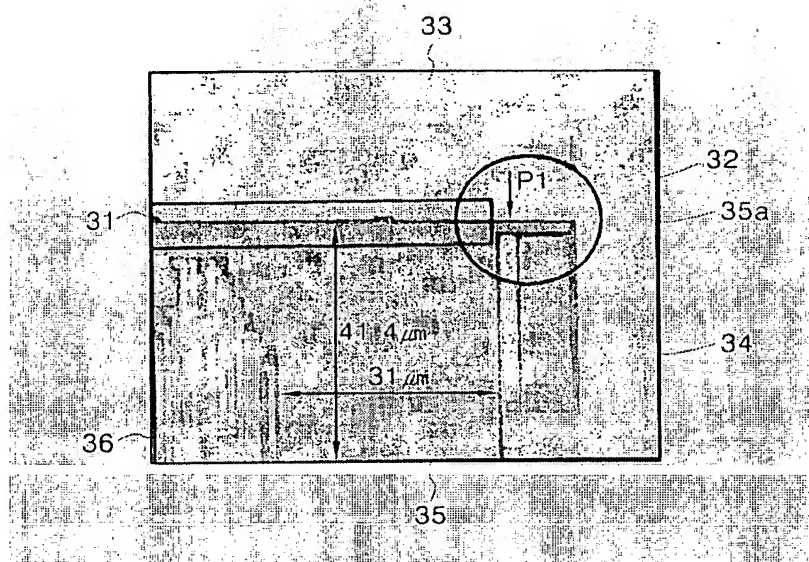
【도 4c】



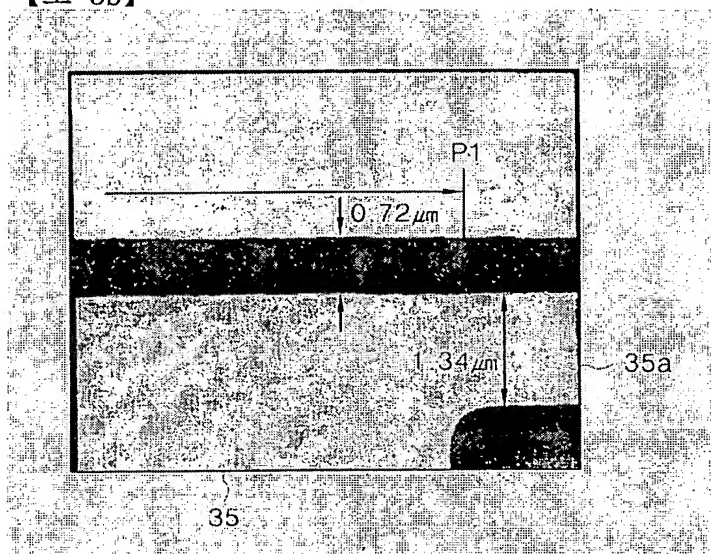
【도 4d】



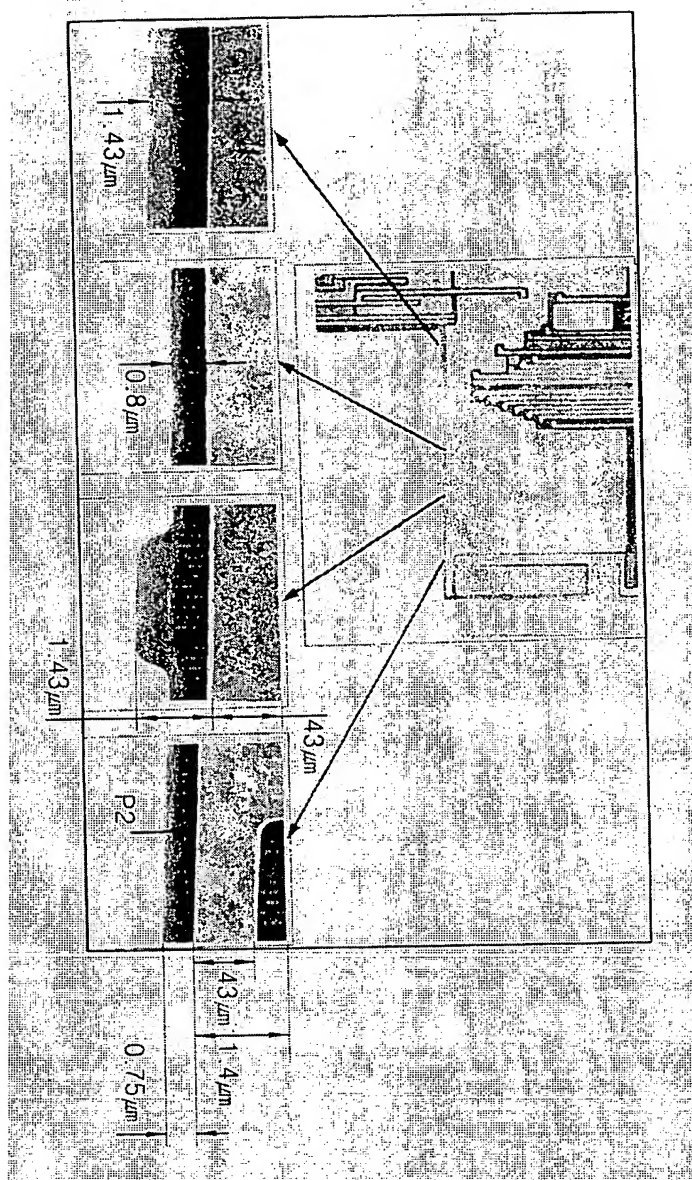
【도 5a】



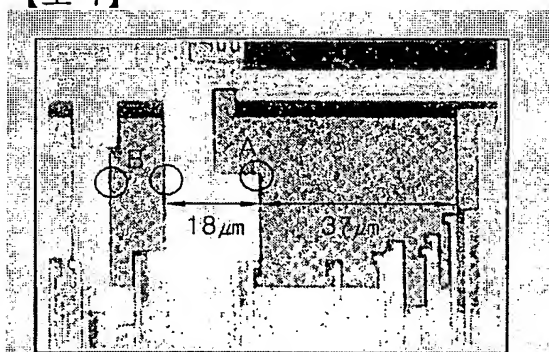
【도 5b】



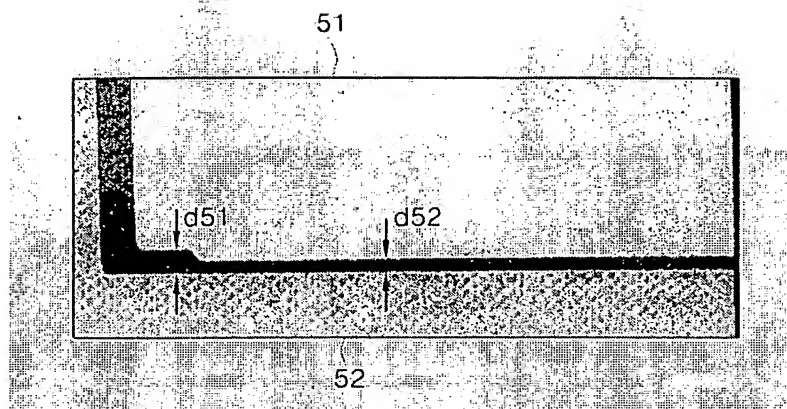
【도 6】



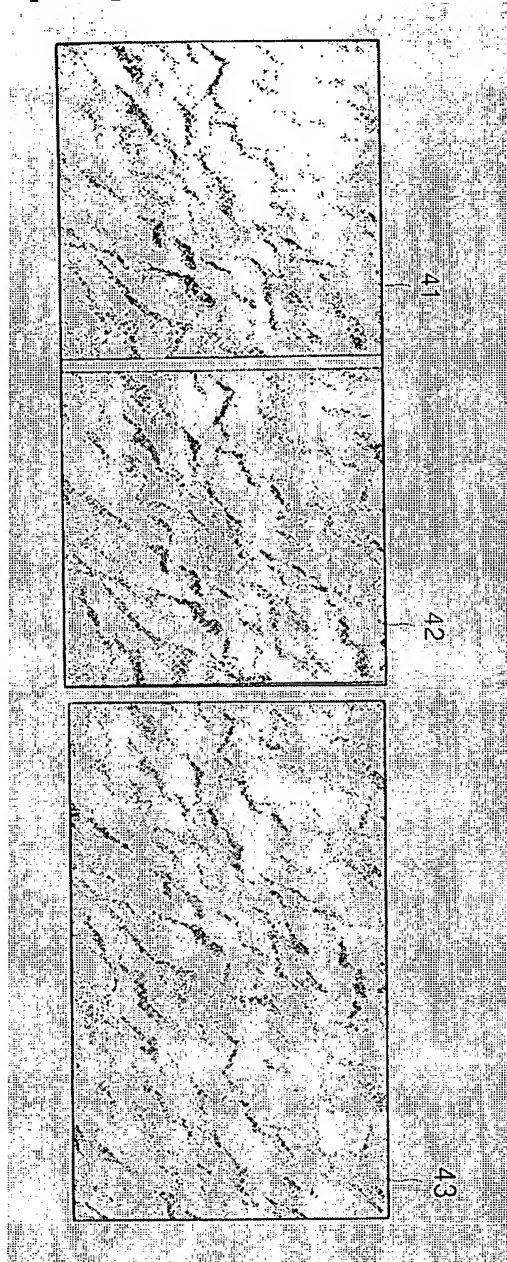
【도 7】



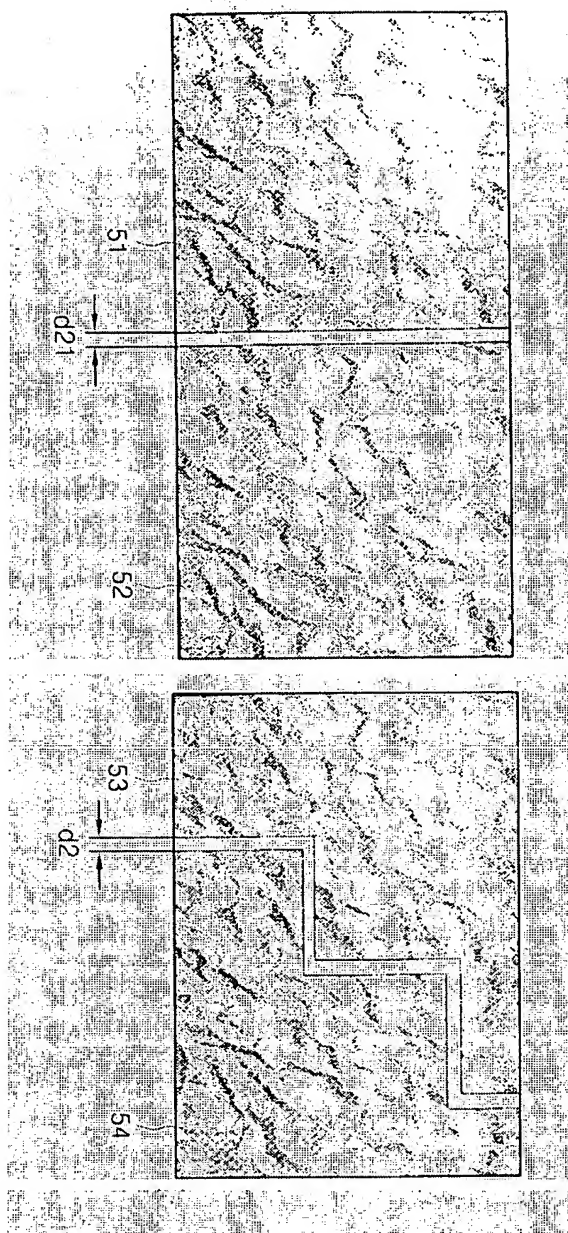
【도 8】



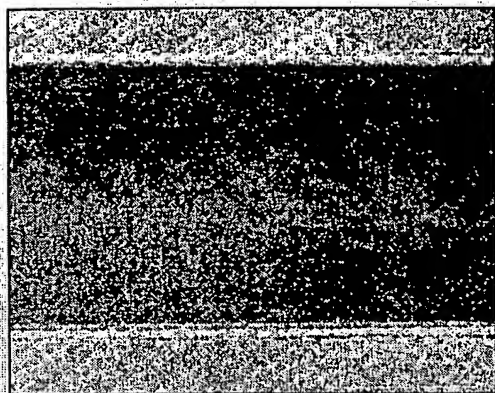
【도 9】



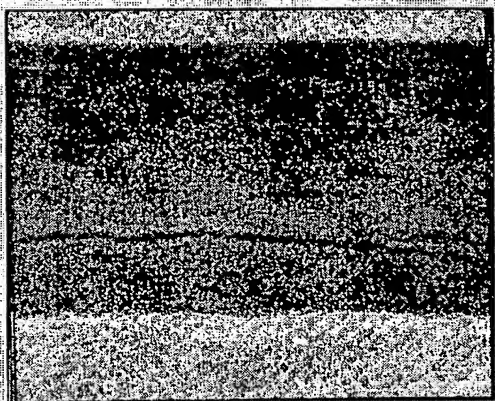
【図 10】



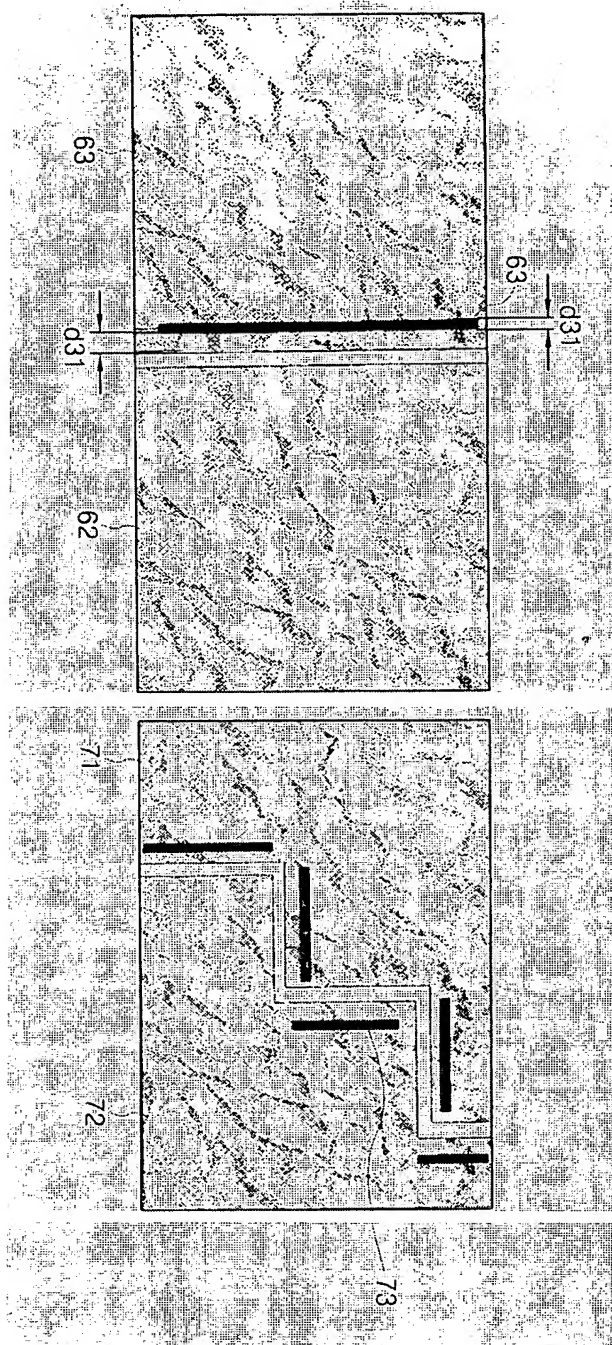
【도 11a】



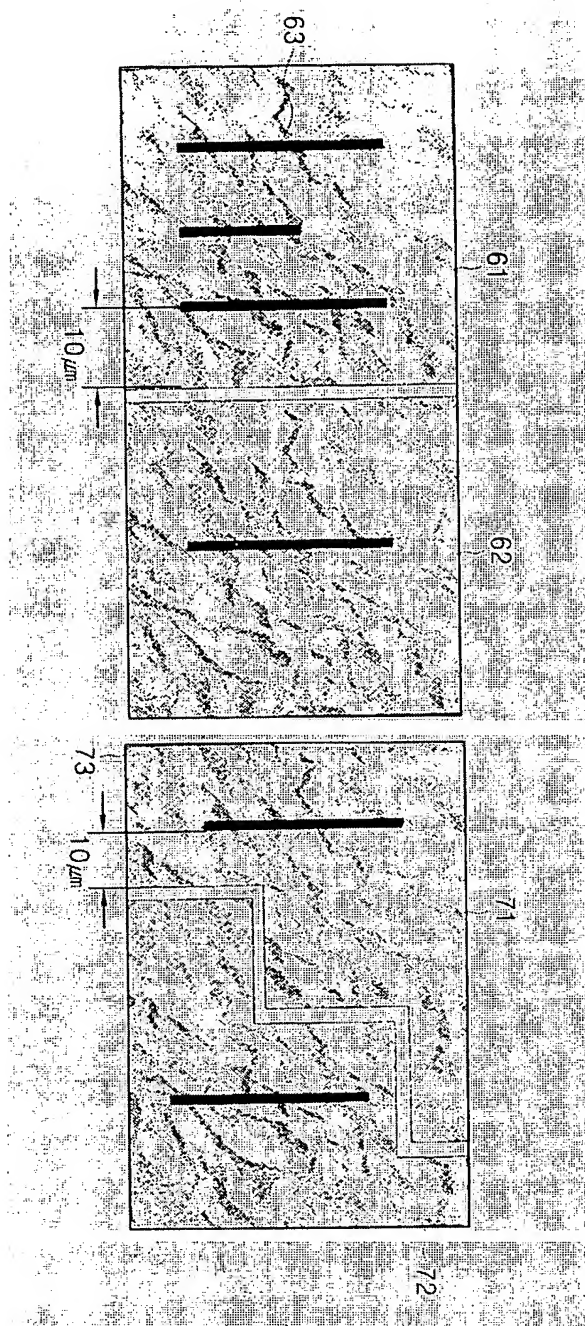
【도 11b】



【도 12】



【도 13】



【도 14】

